

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-307221

(43)Date of publication of application : 22.11.1996

(51)Int.Cl.

H03K 17/08
H01L 27/04
H01L 21/822
H03K 17/00
H03K 17/687

(21)Application number : 08-088288

(71)Applicant : INTERNATL RECTIFIER CORP

(22)Date of filing : 10.04.1996

(72)Inventor : NADD BRUNO C

(30)Priority

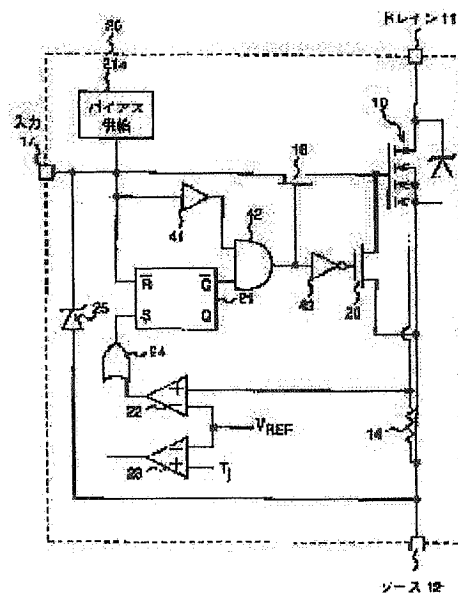
Priority number : 95 420193 Priority date : 11.04.1995 Priority country : US

(54) CONTROL CIRCUIT FOR POWER MOS GATE TYPE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a latch for fault from being reset after a fault by using a three-pin package.

SOLUTION: Electric power is supplied to a control circuit and a protective circuit in a smart MOSgated power element from an input pin 17 connected to a microprocessor. The output of the microprocessor is connected to a resistance type potential dividing circuit which is constituted so that three kinds of potentials may be generated selectively depending upon the mode of the circuit. The potentials respectively constitute on-level signals, off-level signals, and reset-level signals. The control circuit is provided with an R-S latch 21 which is turned on and supplies on and off signal levels to a MOS gate type element 10 when no fault signal exists. During a faulty state, the latch 21 cuts off the input 17 of the control circuit from the element 10 and can only be reset by the reset signal level which is distinguishable from the off signal level which is not able to reset the latch 21.



LEGAL STATUS

[Date of request for examination] 20.09.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3040342

[Date of registration] 03.03.2000

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号

特開平8-307221

(43)公開日 平成8年(1996)11月22日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 17/08		9184-5K	H 0 3 K 17/08	C
H 0 1 L 27/04		9184-5K	17/00	A
21/822			H 0 1 L 27/04	F
H 0 3 K 17/00		9184-5K	H 0 3 K 17/687	A
17/687				

審査請求 未請求 請求項の数11 OL (全 7 頁)

(21)出願番号 特願平8-88288

(22)出願日 平成8年(1996)4月10日

(31)優先権主張番号 420193

(32)優先日 1995年4月11日

(33)優先權主張国 米国 (US)

(71)出願人 591074389

インターナショナル・レクチフアイヤー・
コーポレーション

INTERNATIONAL RECTIFIER CORPORATION

アメリカ合衆国90245カリフォルニア州
エル・セグンド、カンザス・ストリート
233番

(72)発明者 プルーノ・セ・ナツド

フランス84160ピュイパール、リュ・ピエール・アギットン6番

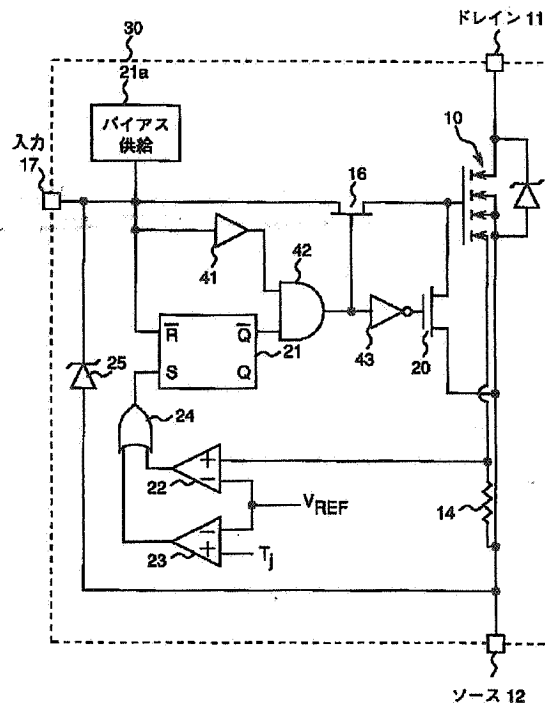
(74)代理人 弁理士 青山 葆 (外2名)

(54) 【発明の名称】 電力用MOSゲート型回路のための制御回路

(57) 【要約】

【課題】 3ピンのパッケージを使用しつつ障害後に障害用ラッチがリセットされないようにする。

【解決手段】 スマートMOSゲート型電力用素子における制御回路および保護回路に、マイクロプロセッサに接続された入力ピンから電力が供給される。このマイクロプロセッサの出力は抵抗分圧回路に接続されており、その分圧回路のモードにより3種類の電位を選択的に生成できるようになっており、それらの電位は、オンレベル信号、オフレベル信号及びリセットレベル信号をそれぞれ構成する。制御回路は、障害信号がないときにオンしてオン及びオフの信号レベルをMOSゲート型素子に供給するR-Sラッチ21を有している。障害状態の間、このR-Sラッチ21は、制御回路の入力17をMOSゲート型素子10から切り離し、このR-Sラッチ21をリセットできないオフ信号レベルから区別できるリセット信号レベルによってのみリセットされる。



(2)

【特許請求の範囲】

【請求項1】 電力用MOSゲート型回路のための制御回路であって、

前記MOSゲート型回路は第1および第2主端子ピンと入力端子ピンとを有し、該入力端子ピンが前記両主端子ピンの間における前記電力用MOSゲート型回路のオンとオフの切り換えを制御し、

前記電力用MOSゲート型回路は、前記第1および第2主端子ピンに接続された第1および第2主電極と入力電極とを有するMOSゲート型電力用素子を備え、

前記制御回路は、前記MOSゲート型電力用素子の少なくとも一つの動作状態を監視し、該動作状態を示す値が所定の値を越えたと前記MOSゲート型電力用素子をオフさせる保護回路手段を備え、

前記制御回路は、

前記入力端子ピンと前記入力電極の間に接続された少なくとも一つの第1制御用MOSFET手段であって、ターンオン信号が前記入力ピンに供給されたときに前記MOSゲート型電力用素子のターンオンおよびターンオフを制御するための第1制御用MOSFET手段と、

前記入力端子ピンを前記第1制御用MOSFET手段に接続することにより、前記第1制御用MOSFET手段および前記MOSゲート型電力用素子を第1電圧の信号に応答してオンさせ第2電圧の信号に応答してオフさせる第1回路手段と、

前記保護回路手段に接続された入力と前記第1制御用MOSFET手段に接続された出力とを有するリセット可能なラッチ回路手段であって、該ラッチ回路手段が前記保護回路手段の出力に応答して第1ラッチ状態へと切り換わることにより、前記MOSゲート型電力用素子をオフさせるために前記第1制御用MOSFET手段を動作させないようにするリセット可能なラッチ回路手段と、前記リセット可能なラッチ回路手段の前記入力に接続し、前記第1および第2電圧のうち低い方の電圧よりも低い第3電圧の信号に応答して前記ラッチ回路手段をリセットするための手段と、を更に備え、

前記電力用MOSゲート型回路が、前記入力端子ピンに供給される互いに識別可能な第1、第2および第3電圧の3種類の信号のうち第1電圧の信号によってオンし、第2電圧の信号によってオフし、第3電圧の信号によって障害後にリセットされるようにしたことを特徴とする制御回路。

【請求項2】 請求項1に記載の回路において、前記電力用MOSゲート型回路が3ピンのTO-220型パッケージに収められている回路。

【請求項3】 請求項1に記載の回路において、前記保護回路手段が電流測定回路および温度測定回路を有している回路。

【請求項4】 請求項1に記載の回路において、前記制御回路は、前記MOSゲート型電力用素子の前記入力電

2

極と前記両主電極のうちの一つの電極との間に接続され導通することにより前記MOSゲート型電力用素子をオフさせる第2制御用MOSFETを有し、該第2制御用MOSFETは、前記第1制御用MOSFET手段がオンするとオフし前記第1制御用MOSFET手段がオフするとオンするように前記入力端子ピンと前記ラッチ回路手段とに接続されている回路。

【請求項5】 請求項1に記載の制御回路において、前記ラッチ回路手段はR-Sラッチである制御回路。

10 【請求項6】 請求項1に記載の制御回路において、前記第1、第2および第3電圧は、それぞれ、略5ボルト、略2ボルトおよび略0ボルトという異なる電圧である制御回路。

【請求項7】 請求項1または請求項4のいずれかに記載の制御回路において、前記第1回路手段がシュミットトリガ回路を有している制御回路。

20 【請求項8】 請求項7に記載の制御回路において、前記第1回路手段は、入力が前記シュミットトリガ回路の出力と前記第1制御用MOSFET手段の入力とに接続され、出力が前記第2制御用MOSFETの入力に接続されるインバータ回路を更に有している制御回路。

【請求項9】 請求項8に記載の制御回路であって、前記シュミットトリガ回路の出力に接続された第1入力と、前記ラッチ回路手段の出力に接続された第2入力と、前記インバータ回路の前記入力に接続された出力とを有するAND回路を更に備える制御回路。

30 【請求項10】 請求項1に記載の回路であって、前記入力端子ピンに接続された入力回路を更に備え、該入力回路は前記第1、第2および第3電圧の信号を選択的に生成するための手段を持ち、該入力回路手段は、第1電圧出力と第2電圧出力との間でそれぞれ選択的に切り換えることができる第1および第2出力ポートと、前記第1出力ポートと第2出力ポートとの間を接続し前記入力端子ピンが接続される節点を有する抵抗分圧回路とを有している回路。

【請求項11】 請求項10に記載の回路において、前記分圧回路の抵抗値が前記節点の両側の抵抗の一方と他方で異なっている回路。

【発明の詳細な説明】

40 【0001】

【発明の属する技術分野】本発明は、スマートMOSゲート型電力用素子(Smart Power MOSgated devices)に関するものであり、更に詳しくは、障害発生後に障害用ラッチ回路をリセットするための独自のリセット信号が入力ピンに供給され、かつ、この電力用素子のオフ信号入力レベルでは障害用ラッチはリセットされ得ないスマート電力用回路に関する。

【0002】

50 【従来の技術】スマート電力用素子は、よく知られた電力用スイッチング素子であって、この素子では、素子の

(3)

3

温度や、電流、電圧の状態を監視して、障害状態が検出されるか又は予想されるとその素子をオフさせる回路のような「知能」が、代表的なパワーMOSFETであるMOSゲート型素子に与えられている。このタイプのよく知られた素子の一つは、インターナショナル・レクティファイア社(International Rectifier Corporation)によって製造されている、型番IRSF 3010の完全な保護機能を有するDMOS電力用スイッチであり、これはSMARTFETトランジスタ(SMARTFET Transistor)と命名されている。SMARTFETは、本発明の譲受人であるインターナショナル・レクティファイア社の商標である。

【0003】この素子は、モノリシックに形成され、3ピン構成のTO 220パッケージに収められている。他のパッケージの形態を使用してもよい。本パッケージは、入力ピン、ドレイン・ピン、およびソース・ピンを有している。制御回路のための動作電力は、入力ピンから入力される制御信号より供給される。この素子は、完全な保護機能を有するモノリシックなNチャネル型の、論理レベルのパワーMOSFETであって、80オームのオン抵抗を有し、過電流や、過温度、ESDに対する回路の保護機能が組み込まれており、また能動的な過電圧保護機能を有している。

【0004】

【発明が解決しようとする課題】上記素子は、パワーFETチップに集積化されたラッチ回路であってエラーの発生を認識し記憶してパワーMOSFETのゲートからターンオン信号を除去するラッチ回路を使用している。このラッチ回路は、指定された最小期間だけその入力をLowに保持することによりクリアおよびリセットされる。したがって、障害状態が持続し、ラッチ回路が動作の次のサイクルでリセットされると、この素子がオンして障害状態となり、再び誤動作する。この状況は、このラッチ回路が他の方法でクリアされるまで続く。

【0005】この状況は、別個のリセット入力信号を受け取る別個のリセット・ピンをパッケージに設けることにより回避することができる。しかし、この場合、5ピンのパッケージが必要となり、しかもSOT 223型パッケージを使用することができなくなる。しかし、インテリジェントな回路を有するまたは有さない他の3ピンのパッケージと容易に交換できる(a drop-in replacement) 3ピンのパッケージとして作製することが強く要望されている。

【0006】そこで本発明では、3ピンのパッケージを使用しつつ、障害動作後に障害用ラッチ回路がリセットされない電力用MOSゲート型回路のための制御回路を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明による新規な回路は、IRSF 3010の回路とともに使用できるもの

4

であって、リセット信号と入力オン信号と入力オフ信号とのアナログ式多重化を行い、3ピンの入力回路およびパッケージを維持するものである。この新規な回路は、次に示す二つの異なる閾値電圧を使用する。

1. 通常1ボルト以下であるリセット閾値。前記入力ピンをこの閾値よりも低い値に下げることにより、障害用ラッチをリセットする。

2. 通常3.2ボルトであるセット閾値。前記入力ピンをこの閾値よりも高い値に上げることにより、MOSゲート型素子をオンし、3.2ボルトよりも下げるることにより、MOSゲート型素子をオフする。

【0008】前記入力信号は、障害の無い状態においては、リセット電圧よりも高い電圧、例えばこの素子をオフさせる2ボルトと、セット電圧、例えばこの素子をオンさせる5ボルトとの間で、切り換えられる。障害状態によって障害用ラッチが作動してこの素子がオフしても、障害用ラッチはリセット電圧よりも高い入力オフ電圧によってリセットされ得ない。

【0009】所望の如何なる3状態入力回路を使用してもよい。しかし、ここでは、3つの識別可能な信号が抵抗分圧回路を有するマイクロコントローラから供給される特定の新規な3状態駆動について説明する。抵抗分圧回路は、二つの異なる抵抗値を有する抵抗から構成され、これらの抵抗はマイクロコントローラの入力端子とリセット端子との間に直列に接続されている。これらの抵抗の間の節点は、前記MOSゲート型素子回路の入力端子ピンに接続され、マイクロコントローラの2個の出力ポートの信号レベルに応じて3つの状態すなわち3つのレベルのうちの一つのレベルの信号電圧を有する。これらの信号レベルとしては、0ボルト(リセットするための電圧)、2ボルト(この素子をオフするための電圧)、および5ボルト(この素子をオンするための電圧)を考えることができる。明らかなことではあるが、他の値を用いてもよい。

【0010】このように本発明は、3ピン構成の保護機能付きMOSゲート型素子に対して別個のリセット信号入力を実現する。

【0011】本発明の他の特徴および利点は、添付図面を参照する本発明の以下の記述から明らかであろう。

【0012】

【発明の実施の形態】まず図1を参照すると、そこには従来技術である保護機能付きMOS制御スイッチ素子(MOS controlled switch device)が示されており、このスイッチ素子では、電力用素子と同一のチップに保護回路が組み込まれている。図1に示す回路は、前述の従来技術であるスマートFET DMOSパワースイッチ(Smart FET DMOS Power Switch) IRSF 3010型の回路である。

【0013】図1において、電力用素子10は、ドレイン・ピン11に接続されたドレイン電極、ソース・ピン1

50

(4)

5

2に接続されたソース電極、および抵抗14に接続された電流検出力電極13を有する電流検出パワーMOSFETである。このMOSFETのゲート電極15は、制御用MOSFET16を介して入力ピン17に接続されている。MOSFET10は、所望の如何なるMOSゲート型素子であってもよく、例えばIGBTまたはMOSゲート型サイリスタであってもよく、所望の如何なる電流検出の構成を有していてもよい。

【0014】MOSFET10に対する制御回路は、制御対象の素子または回路に損傷を与えるか又はそれらを破壊するであろう障害状態からMOSFET10を保護するためのものである。この制御回路は、いずれの方式のものでもよいが、図1では、主MOSFET10の入力回路に直列に接続された前述の制御用MOSFET16と、主MOSFET10のソースとゲートの間に接続された第2MOSFET20とから成る。また、入力ピン17に供給される入力信号から動作電力を引き出すバイアス電圧供給回路21a、R-Sラッチ回路21、比較器22と23、OR回路24、ツェナー・ダイオード25、および、クランプ回路のツェナー・ダイオード26とダイオード28が設けられている。なお、図1に示したR-Sラッチ回路21では、S入力が入力ピン17に、R入力がOR回路24の出力に、Q出力がMOSFET16のゲートに、バーQ出力がMOSFET20のゲートにそれぞれ接続されているが、S入力をOR回路24の出力に、バーR入力を入力ピン17に、Q出力をMOSFET20のゲートに、バーQ出力をMOSFET16のゲートにそれぞれ接続する構成としてもよい。

【0015】ツェナー・ダイオード25は、本回路に対するESD保護を行うものであって、入力電圧を例えば10ボルトに制限する。

【0016】図1の回路は、ブロック30内を図示したものである。ブロック30は、通常3本のリード線を有する図2に示すTO-220型パッケージ31内に納められている、集積回路が形成されたシリコン・チップに対応する。パッケージ31は、入力リード端子ピン17、ドレイン端子ピン（およびタブ）11、およびソース・ピン12を有しており、これらは図1にも示されている。図1および図2に示した保護機能付きMOS素子は、保護機能のない標準のパワーMOSFET用または類似のMOSゲート型素子用に設計されたソケットに直接差し込めることに注意されたい。

【0017】図1に示した回路の動作を次に説明する。入力信号源、例えばマイクロコントローラが入力パルスを入力ピン17に供給することにより、使用者が望むように、ドレイン・ピン11とソース・ピン17の間に流れるドレイン電流のオンとオフの切換を制御する。任意の適当な負荷、例えば直流モータの駆動回路や、ソレノイドの駆動回路、ランプの駆動回路などがドレイン・ピン11およびソース・ピン12に直列に接続されることに

6

注意されたい。本素子は、MOSFET10をオフさせる0ボルトとMOSFET10をオンさせる5ボルトとの間で切り換わる入力波形によって40kHz程度以下の周波数でスイッチングを行うことができる。

【0018】図3(a)はピン17に対する代表的な入力信号波形を示し、図3(b)はその入力信号によって生じるピン11における電流を同一の時間尺度で示す。正常動作中は、ピン17の信号が5ボルトのときMOSFET10がオン状態となる。抵抗14を流れる電流を示す信号は基準電圧 V_{REF} よりも小さく、過温度信号 T_J も基準電圧 V_{REF} よりも小さい。したがって、比較器22および23の出力はLowであって、R-SラッチのR入力もLowである。その結果、Q出力はHighとなってMOSFET16がオンし、バーQ出力はLowとなってMOSFET20はオフのままとなる。

【0019】さらに正常動作の場合を考えると、入力ピン17における信号が零ボルトのとき、MOSFET10のゲート電圧は0であり、この素子はオフしている。入力信号が再び5ボルトへと切り換わると、MOSFET10がオンし、図3(b)の最初の部分に示されているようにドレイン電流が流れ、本システムが正常に動作する。

【0020】過電流または過温度の状態になると、図3(b)において障害のスパイク"x"によって示されているように、比較器22と23の一方または双方の出力がHighとなり、これによりOR回路24の出力がHighとなる。その結果、R-SラッチのQ出力およびバーQ出力が切り換わってMOSFET16がオフし、入力ピン17とMOSFET10のゲートとが切り離される。また、R-Sラッチの切り換わりによりMOSFET20がオンして、ソース・ピン12の電位がMOSFET10のゲートの電位に固定される。このようにしてMOSFET10は、障害となるスパイクにตอบสนองしてオフする。

【0021】予め決められた時間の経過後、R-Sラッチは、入力ピン17におけるLowの入力信号によってリセットされる。MOSFET10は、その後、ターンオン信号(Highの V_{in})が入力17に現れるとターンオンする。しかし、障害状態がなお存続する場合には、図3(b)に示した障害のパルス"y"が現れ、ラッチ21が再び動作する。このシーケンスは、その障害が解消されるかまたは本回路がタイムアウト状態となるまで継続される。

【0022】この状況は、その障害を解消した後にマイクロコントローラの回路からラッチ21へ別個のリセット信号を供給するために別個のリセット・ピンを設けることにより、回避することができる。しかし、図2に示した3ピン構成を維持することが強く望まれている。

【0023】本発明は、3ピン構成を採用しつつ、入力オン信号が障害動作後に前記ラッチをリセットしない新

(5)

7

規な回路を提供する。

【0024】本発明の回路は図4に示されており、この回路の新規な信号源が図5に示されている。図1に示した構成要素と同様の構成要素には、図4において同じ符号が付されている。しかし、図4に示した回路は、R-Sラッチ21に、ラッチ21のリセットの閾値電圧よりも高いトリガ電圧を有するシュミットトリガ回路41が組み込まれている点で修正されている。例えば、ラッチ21のリセットの閾値電圧は1ボルトであり、シュミットトリガ回路41の閾値電圧は3.5ボルトである。シュミットトリガ回路41の出力およびラッチ21のバーQ出力は、AND回路42に入力される。AND回路42の出力は、制御用MOSFET16のゲートおよびインバータ43に入力される。インバータ43の出力は制御用MOSFET20のゲートに入力される。本実施形態では、ラッチ21のバーR入力におけるリセット閾値は1ボルトである。すなわち、ラッチ21をリセットするためには、バーRのピンにおける電圧は1ボルト以下でなければならない。したがって、図4に示した回路は、入力端子17における3つの異なる入力信号レベルに対して以下のように動作する。

【0025】この入力が5ボルトであって障害状態でない場合は、AND回路42への入力はHighとなり、MOSFET16はオン状態、MOSFET20はオフ状態となる。

【0026】この入力の電圧が2ボルトまで低下すると、シュミットトリガ回路41が動作し、シュミットトリガ回路41からLowが出力される。したがって、AND回路42はLowとなり、MOSFET16はオフしてMOSFET20はオンし、これにより主MOSFETであるパワーMOSFET10がオフする。この動作は、図6(a)および(b)に示されている。この入力が2ボルトと5ボルトの間で切り換わる限り、本素子は、この入力が0ボルトと5ボルトの間で切り換わる時の図1の従来の素子と同様に動作する。この間ラッチ21はリセットされないことに注意されたい。

【0027】いま障害が発生すると、ラッチ21が動作し、MOSFET16をオフ状態にとどめMOSFET20をオン状態にとどめるために、バーQがLowへと変化する。この状態は、ラッチ21のリセット閾値よりも低い値、好ましくは0ボルトの第3の信号が入力17に供給されるまで継続する。したがって、正常動作を継続できるようにするためには、図6(b)に示されている如く、入力ピン17を1ボルトよりも低い値に引き下げるにより障害用ラッチ21をリセットする。

【0028】図5は、適当な任意の制御の下で、例えばマイクロコントローラ50による制御の下で、上記入力端子に対する3つの異なる電圧レベルを生成するための新規な入力回路を示す。ここに示すようにマイクロコントローラ50はINポートとRESETポートを有して

8

いる。INポートにおける電圧は、制御されたデューティ比を持つ方形波であり、0ボルトと5ボルトの間で使用者の要求に応じて切り換わる。RESETポートにおける電圧は5ボルトであるが、リセットのために0ボルトへと切り換えることができる。例えば2000オームと3000オームの抵抗値をそれぞれ有する抵抗51と52から成る抵抗分圧回路がINポートとRESETポートとの間を接続しており、節点53で接続されている。抵抗51と52の抵抗値は同一であってもよいし、上述の値と異なる値であってもよい。節点53は、図4における入力17に接続されている。

【0029】図5に示した回路は、2個の論理出力と抵抗分圧回路のみを使用して3状態の駆動を提供し、以下のように動作する。5ボルトを出力するために、INポートが5ボルトとされ、バーRESET・ポートが5ボルトとされる。このようにすると節点53の電圧も5ボルトとなる。2ボルトを出力するために、INポートが0ボルトとされ、バーRESET・ポートが5ボルトのままとされる。抵抗分圧回路の分圧比は、節点53において2ボルトが生成されるように設定されている。節点53において0ボルトを生成するためには(ラッチ21をリセットするためには)、バーRESETポートの電圧を0ボルトとしINポートの電圧も0ボルトとするだけでよい。

【0030】障害用ラッチに対するリセット電圧が障害の無い動作中にMOSFET10をオフするためのLow信号の電圧よりも低い限り、所望の任意の電圧範囲で本発明を使用することができる、ということに注意されたい。

【0031】前述のように、図4に示した回路は、シュミットトリガ回路41に基づくヒステリシス特性を有している。したがって図7に示すように、ドレイン電流IDの曲線がMOSFET10のゲートへの入力電圧Vgsの関数として示される。MOSFET10の入力電圧Vgsが増大すると、3.5ボルトを越えMOSFET10がオンする第1の値でシュミットトリガ回路41が動作し、電流IDが流れる。しかし、ターンオフ中において、ゲート電圧は、ターンオンする値よりも低下し、約3.5ボルトよりも低い第2の値となる。このヒステリシスの効果により、本回路に良好な雑音耐力が生じる。

【0032】本発明は特定の実施形態について説明されたが、他の多くの変形や他の用途が当業者にとっては明らかである。したがって、本発明は、この中での特定の開示内容によって限定されるものではなく、請求の範囲によってのみ限定される。

【図面の簡単な説明】

【図1】 従来の保護機能付きMOS電力用スイッチを示す回路図。

【図2】 図1に示した回路を収める代表的なパッケージである3ピン構成のTO-220型パッケージを示す

(6)

9

斜視図。

【図3】 図1に示した回路の入力ピンへの入力信号を時間の関数として示す図(a)、および、障害が継続して存在する場合において図3(a)の時間尺度と同一の時間尺度で図1に示した回路のドレイン電流を示す図(b)。

【図４】 本発明に係る保護機能付きの新規な回路を示す回路図。

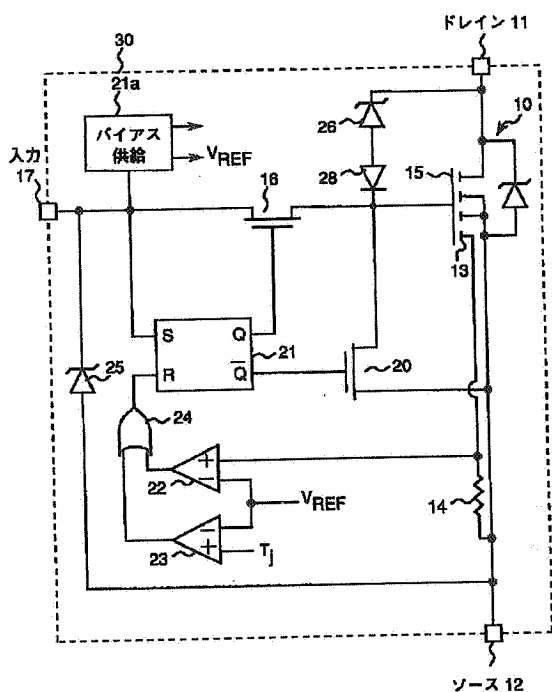
【図5】 図4に示した回路に3レベル信号入力を供給するためのアナログ出力回路を示す回路図。

【図6】 図5に示した回路によって生成される、図4に示した入力ピンへの入力信号を時間の関数として示す図(a)、障害が継続して存在する場合において図6(a)の時間尺度と同一の時間尺度で図4に示した回路のドレイン電流を示す図(b)。

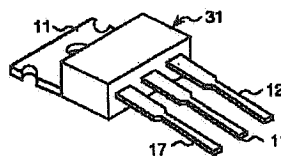
【図7】 雑音耐力を改善するための、図4に示した回路のヒステリシス特性を示す図。

【符号の説明】

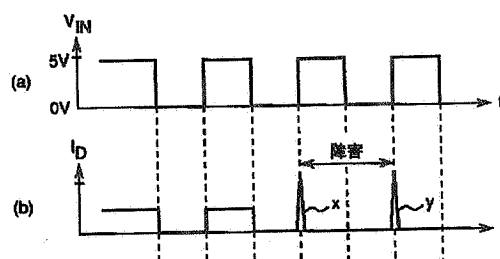
【图 1】



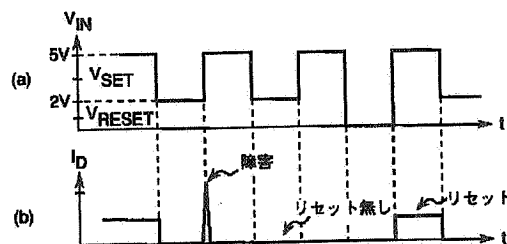
【図 2】



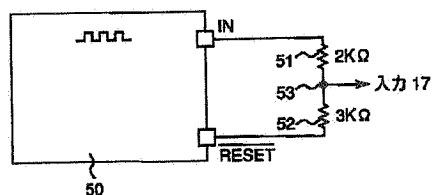
【図3】



【図 6】

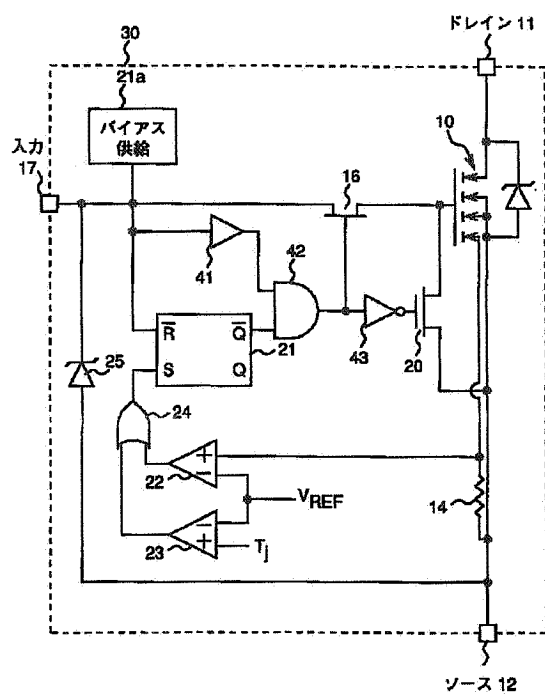


【图5】



(7)

【図4】



【図7】

